

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Sun-Lee HWANG et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: March 22, 2004 : Attorney Docket No. SEC.1151
For: METHOD OF ALIGNING A SEMICONDUCTOR SUBSTRATE WITH A
SEMICONDUCTOR ALIGNMENT APPARATUS

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

Appln. No. 2003-0017597 filed March 20, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 22, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0017597
Application Number

출원 년 월 일 : 2003년 03월 20일
Date of Application
MAR 20, 2003

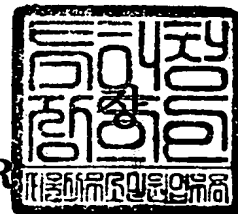
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 25 일

특 허 청

COMMISSIONER



| | |
|-------------------|------------------------------------|
| | 【서지사항】 |
| 【서류명】 | 서지사항 보정서 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 2003.03.25 |
| 【제출인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【사건과의 관계】 | 출원인 |
| 【대리인】 | |
| 【성명】 | 박상수 |
| 【대리인코드】 | 9-1998-000642-5 |
| 【포괄위임등록번호】 | 2000-054081-9 |
| 【사건의 표시】 | |
| 【출원번호】 | 10-2003-0017597 |
| 【출원일자】 | 2003.03.20 |
| 【심사청구일자】 | 2003.03.20 |
| 【발명의 명칭】 | 반도체 기판의 얼라인 방법 |
| 【제출원인】 | |
| 【접수번호】 | 1-1-03-0098104-65 |
| 【접수일자】 | 2003.03.20 |
| 【보정할 서류】 | 특허출원서 |
| 【보정할 사항】 | |
| 【보정대상항목】 | 발명자 |
| 【보정방법】 | 정정 |
| 【보정내용】 | |
| 【발명자】 | |
| 【성명의 국문표기】 | 황선이 |
| 【성명의 영문표기】 | HWANG, SUN LEE |
| 【주민등록번호】 | 751007-1177521 |
| 【우편번호】 | 449-904 |
| 【주소】 | 경기도 용인시 기흥읍 보라리 신갈 삼성아파트 106동 403호 |
| 【국적】 | KR |

【발명자】**【성명의 국문표기】** 박성수**【성명의 영문표기】** PARK, SUNG S00**【주민등록번호】** 700813-1539111**【우편번호】** 442-400**【주소】** 경기도 수원시 팔달구 망포동 486-4 기선빌라
302호**【국적】** KR**【발명자】****【성명의 국문표기】** 김원섭**【성명의 영문표기】** KIM, WON SUB**【주민등록번호】** 711110-1648513**【우편번호】** 442-400**【주소】** 경기도 수원시 팔달구 망포동 488번지 망포벽
산아파트 108동 1503호**【국적】** KR**【취지】**특허법시행규칙 제13조·실용신안법시행규칙 제8조
의 규정에의하여 위와 같 이 제출합니다. 대리인
박상수 (인)**【수수료】****【보정료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】**

1. 기타첨부서류[사유서]_1통

【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 2003.03.20 |
| 【발명의 명칭】 | 반도체 기판의 얼라인 방법 |
| 【발명의 영문명칭】 | An align method of a semiconductor substrate |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 박상수 |
| 【대리인코드】 | 9-1998-000642-5 |
| 【포괄위임등록번호】 | 2000-054081-9 |
| 【발명자】 | |
| 【성명의 국문표기】 | 황선이 |
| 【성명의 영문표기】 | HWANG, SUN LEE |
| 【주민등록번호】 | 751007-1177521 |
| 【우편번호】 | 449-904 |
| 【주소】 | 경기도 용인시 기흥읍 보라리 신갈삼성아파트 106동 403호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 3 면 3,000 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 12 항 493,000 원 |
| 【합계】 | 525,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

반도체 기판의 얼라인 방법을 제공한다. 이 방법은 반도체 정렬 장비 내에 반도체 기판을 장착하는 것을 포함한다. 상기 반도체 정렬 장비와 상기 반도체 기판내의 중심 칩을 정렬하는 칩 얼라인먼트(Chip Alignment)를 진행한다. 상기 칩 얼라인먼트를 통해서 상기 중심 칩의 위치좌표를 상기 반도체 정렬 장비에 저장한다. 그리고, 상기 반도체 정렬 장비와 상기 반도체 기판을 정렬하는 반도체 기판 얼라인먼트(Semiconductor Substrate Alignment)를 진행한다. 상기 반도체 기판 얼라인먼트를 통해서 상기 중심 칩에 인접한 칩과 함께 상기 반도체 기판의 외곽에 위치한 복수 개의 칩들의 위치좌표들을 상기 반도체 정렬 장비에 저장한다. 또한, 상기 중심 칩 내에서 두 개 이상의 기준 패턴(Template)들을 선정해서 상기 반도체 정렬 장비에 이미지들과 위치 좌표들을 저장한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

반도체 기판의 얼라인 방법 { An align method of a semiconductor substrate }

【도면의 간단한 설명】

도 1 및 도 2 는 본 발명의 실시예에 따른 반도체 기판의 정렬 방법을 설명해주는 순서도들.

도 3 내지 도 4 는 본 발명의 실시예에 따른 반도체 기판의 칩 얼라인먼트를 설명해주는 반도체 기판 및 칩.

도 5 내지 도 7 은 본 발명의 실시예에 따른 기준 패턴들의 선정과정을 설명해주는 칩 및 기준 패턴들.

도 8 은 본 발명의 실시예에 따른 반도체 기판 얼라인먼트를 설명해주는 반도체 기판.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 기판의 얼라인 방법에 관한 것으로서, 특히 반도체 제조 공정 또는 반도체 테스트 공정에 이용되는 반도체 정렬 장비와 반도체 기판의 얼라인 방법에 관한 것이다.

<6> 일반적으로, 반도체 장치의 반도체 제조 공정 및 반도체 테스트 공정에서는 각각의 공정을 진행하기 전(前)에 반도체 정렬 장비를 이용하여 반도체 기판을 정렬한다. 즉,

상기 반도체 제조 공정에서의 반도체 정렬 장비는 포토장비인 스테퍼 또는 스캐너에 장착된 장비이고, 상기 반도체 테스트 공정에서의 상기 반도체 정렬 장비는 테스터(Tester) 내에 장착된 장비를 지칭한다. 상기 반도체 정렬 장비들은 반도체 기판 및 상기 반도체 기판 내의 칩들(Chips)의 정보들을 정확하게 인식하려고 계속적으로 업 그레이드(Upgrade)되고 있다. 이는, 상기 공정들 각각에서 상기 반도체 기판으로부터 물리적 또는 전기적으로 양호한 칩들을 다수 확보하려는 노력과 일치한다.

<7> 상기 반도체 제조 공정중의 포토(Photo) 공정은 상기 정보들을 토대로 상기 반도체 기판 상에 종/ 횡방향으로 일정한 폭을 갖는 소정 개수의 칩들을 형성시킨다. 상기 칩들은 각각 상기 포토 공정관점에서 다수 개의 스텝들로 형성된다. 즉, 하나의 스텝은 상기 포토 공정의 상기 반도체 정렬 장치에 의해서 후속 스텝에 정렬되어 서로 겹쳐져서 정해진 패턴들을 형성한다. 이를 반복하여, 상기 칩들은 상기 하나의 스텝에 다른 스텝들을 정렬시켜서 공지된 식각 공정을 통하여 형성한다.

<8> 그리고, 상기 반도체 테스트 공정은 상기 반도체 제조 공정에서 상기 반도체 기판 내에 형성한 상기 칩들 전기적으로 측정하여 상기 칩들중에 양호한 칩들을 확보하는 것이다. 상기 반도체 테스트 공정에 사용된 테스터(Tester)는 프로브 카드(Probe Card)가 장착되어 상기 프로브 카드를 매개로 하여 상기 반도체 기판과 전기적 신호들을 주고 받는다. 따라서, 전기적 측정을 하기 전에, 상기 테스터는 상기 반도체 정렬 장비를 이용하여 상기 반도체 기판과의 정렬을 먼저 진행해야 한다. 왜냐하면, 상기 프로브 카드는 상기 반도체 기판과 접촉할 수 있는 여러개의 탐침들(Pins)이 구비되고, 상기 탐침들은 상기 반도체 기판 내의 상기 칩들의 각각에 형성된 패드(Pad) 패턴들에 정렬되기 때문이다.

<9> 상기를 이유로, 상기 반도체 제조 공정 및 상기 반도체 테스트 공정에 사용되는 반도체 정렬 장비는 반도체 기판과 정렬할 때에 하나의 기준 패턴(Reference Pattern)을 이용한다. 상기 하나의 기준 패턴(Template)은 상기 반도체 기판 내의 하나의 칩을 선택하여 상기 칩 내에서 용이하게 활용할 수 있는 패턴이다. 즉, 상기 기준 패턴은 상기 반도체 정렬 장비를 이용하여 상기 칩 내에서 찾기가 쉽고 패턴 식별력이 높은 패턴이다.

<10> 그러나, 상기 반도체 제조 공정의 불안정으로 인하여 상기 기준 패턴에 대한 식별력은 상기 반도체 기판 내에서 상기 칩 별로 또는, 상기 반도체 기판별로 차이가 발생할 수 있다. 이때에, 상기 반도체 정렬 장비가 식별력이 떨어지는 상기 하나의 기준 패턴에 대한 이미지(Image)을 갖는다면, 상기 반도체 기판은 상기 반도체 정렬 장비로부터 원래 위치하던 카세트로 상기 반도체 기판이 이송되어 재 정렬이 필요함과 아울러서 초기 정렬에 이용된 시간을 낭비하는 결과를 낳는다. 이는, 상기 반도체 제조 공정의 제조 비용 및 상기 반도체 테스트 공정의 테스트 비용이 증가되어 하나의 칩의 제조 원가를 높이는 원인이 될 수 있다.

<11> 한편, "얼라인먼트 방법" 이 미국특허공보 제 4,870,288 호(U.S PATENT No. 4,870,288)에 유지 아부쿠(Yuji Abuku) 등에 의해 개시된 바있다.

<12> 상기 미국특허공보 제 4870288 호에 따르면, 이 방법은 반도체 기판내의 선택된 칩에서 하나의 기준 패턴(Template)을 설정하고 상기 반도체 기판 내의 상기 선택된 칩과 다른 칩들에서 위치 좌표들을 체크하여 상기 반도체 기판을 정렬한다. 상기 반도체 기판에서 체크된 상기 위치 좌표들은 서로 간의 위치에 대한 보정값을 나타내 준다. 상기 보정값은 상기 위치 좌표들에 더해져서 상기 반도체 기판의 위치 조정이 이루어진다. 그러나, 상기 방법은 상기 반도체 기판을 정렬시에 하나의 기준 패턴을 사용하기 때문에 반

도체 제조 공정 또는 외부 환경의 영향을 받아서 쉽게 얼라인 폐일을 발생시킬수 있는 가능성을 갖는다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적인 과제는 반도체 정렬 장비와 정렬을 원활하게 할 수 있는 반도체 기판의 얼라인 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<14> 상기 기술적인 과제를 해결하기 위하여 본 발명은 반도체 기판의 얼라인 방법을 제공한다.

<15> 이 방법은 준비된 반도체 기판을 반도체 정렬 장비에 장착하는 것을 포함한다. 상기 반도체 정렬 장비와 상기 반도체 기판 내의 칩을 정렬하는 칩 얼라인먼트를 진행한다. 상기 칩 얼라인먼트(Chip Alignment)는 상기 반도체 정렬 장비를 이용하여 상기 반도체 기판 내의 중심 칩을 선정하고, 연속해서 상기 중심 칩의 위치 좌표를 확인하는 것이다. 그리고, 상기 반도체 정렬 장비와 상기 반도체 기판을 정렬하는 반도체 기판 얼라인먼트(Semiconductor Substrate Alignment)를 진행한다. 상기 반도체 기판 얼라인먼트는 먼저 상기 반도체 정렬 장비를 이용하여 상기 중심 칩 내의 두 개 이상의 기준 패턴들을 선정함과 아울러서 상기 기준패턴들(Templates)의 이미지들과 위치 좌표들을 상기 반도체 정렬 장비에 저장한다. 또한, 상기 반도체 기판을 종/ 횡방향으로 움직여서 상기 반도체 정렬 장비를 이용하여 상기 반도체 기판 내에 위치한 소정 칩들의 위치 좌표들을 확인한다.

<16> 이하, 본 발명의 실시예를 첨부된 도면들을 참조하여 상세히 설명하기로 한다.

- <17> 도 1 및 도 2 는 본 발명의 실시예에 따른 반도체 기판의 정렬 방법을 설명해주는 순서도들이다.
- <18> 도 1 을 참조하면, 순서도는 반도체 정렬 장비에 반도체 기판을 안착하는 단계(100), 레퍼런스 칩(Reference Chip) 이동 단계(110), 칩 얼라인먼트(Chip Alignment) 단계(120), 반도체 기판 얼라인먼트(Semiconductor Substrate Alignment) 단계(130)를 형성한다. 단, 상기 반도체 기판 얼라인먼트 단계(130)는 두 개 이상의 기준 패턴들을 선정 및 저장하는 스텝, 칩과 반도체 기판의 중심을 보정하는 스텝으로 구성된다.
- <19> 처음에, 반도체 정렬 장비를 이용하여 반도체 기판이 반도체 정렬 장비 내의 척(Chuck) 상에 안착되도록 하는 단계(100)를 수행한다. 상기 반도체 기판의 중심이 상기 척의 중심에 놓이도록 위치시킨다. 상기 반도체 정렬 장비는 상기 척과 소정의 거리로 이격되어 상부에 설치된 체크기(Checker)를 갖는다. 상기 체크기는 상기 반도체 기판과 상기 반도체 기판 내의 칩들(Chips)을 인식한다. 상기 레퍼런스 칩으로 이동하는 단계(110)를 상기 반도체 정렬 장비로 수행하여 상기 반도체 기판의 중심 칩의 상부에 상기 체크기를 위치시킨다.
- <20> 다음으로, 상기 체크기가 상기 반도체 기판의 중심 칩을 체크하는 칩 얼라인먼트(Chip Alignment)의 단계(120)를 수행한다. 상기 체크기는 정렬자(Alignment Ruler)를 가지고 있다. 그리고, 상기 반도체 기판은 칩 주변마다 스크라이브 라인 상의 네 모퉁이에 공지된 포토 및 식각공정을 이용하여 형성된 키어들(Keys)을 갖는다. 상기 칩 얼라인먼트는 상기 정렬자를 상기 키어들 각각에 오버랩시켜서 상기 반도체 정렬 장비와 상기 반도체 기판을 정렬하는 것이다. 즉, 상기 칩 얼라인먼트는 상기 반도체 기판 내의 상기 중심 칩의 중심에 대한 위치 좌표를 설정하는 것이다. 이때에, 상기 정렬자와 상기

키이들의 각각에 정렬된 값들은 정규분포를 갖는다. 상기 정규 분포의 3σ 값이 허용치 이내이면 다음 단계를 진행하고, 허용치 이상이면 상기 칩 얼라인 먼트를 재 수행하여 만족되는 값을 찾는다.

<21> 상기 칩 얼라인먼트의 단계(120)를 완료한 후에, 상기 체크기는 상기 반도체 기판 내의 칩들을 이용하여 반도체 기판 얼라인먼트의 단계(130)를 수행한다. 상기 반도체 기판 얼라인먼트 단계(130)는 상기 중심 칩내에서 두 개 이상의 기준 패턴들(Templates)을 채택하여 이미지들과 위치좌표들을 상기 반도체 정렬 장비에 저장한다. 그리고, 상기 반도체 정렬 장비대비 상기 척 상에서 상기 반도체 기판의 종/ 횡방향으로 틀어진 위치를 보정하는 것이다.

<22> 상기 반도체 얼라인먼트의 첫 스텝은 상기 체크기를 다시 상기 반도체 기판의 중심 칩으로 이동시켜서 상기 두 개 이상의 기준 패턴들(Templates)의 선정과 함께 계속하여 상기 두 개 이상의 기준 패턴들의 이미지들 및 위치 좌표들을 상기 반도체 정렬 장비에 저장하는 것이다. 상기 기준 패턴들은 상기 중심 칩 내에서 상기 체크기가 쉽게 찾을 수 있도록 이웃하는 패턴들에 비해서 식별력이 우수한 것들로 채택한다. 상기 기준 패턴들을 두 개 이상으로 선정하는 것은 상기 반도체 기판내에서 반도체 제조 공정 또는 반도체 테스트 공정시에 선택된 목적하는 칩을 찾지 못하여 생기는 얼라인 페일(Align Fail)을 방지하기 위함이다. 예로서, 상기 반도체 테스트 공정에서 테스터가 여러 칩들을 거치면서 이미 저장된 하나의 기준 패턴의 이미지와 위치 좌표를 이용하여 테스트를 진행하면, 상기 테스트를 진행하다가 상기 목적하는 칩내에서 상기 하나의 기준 패턴의 이미지의 식별력이 떨어질 수 있다. 이는, 상기 반도체 제조 공정상의 영향에 기인할 수도 있다. 이때에, 상기 반도체 정렬 장비와 상기 반도체 기판 사이에 얼라인 페일이 발생한

다. 이를 극복하기 위해서, 상기 반도체 정렬 장비에 상기 하나의 기준 패턴에 이웃한 저장된 다른 기준 패턴들을 이용하면 상기 얼라인 폐일 없이 상기 반도체 테스트 공정을 계속해서 진행할 수 있도록 해준다. 상기 얼라인 폐일이 발생하면, 상기 반도체 기판이 상기 반도체 정렬 장비로부터 빠져 나오도록 상기 테스터에 프로그램이 되어있다. 따라서, 상기 얼라인 폐일의 발생은 상기 반도체 테스트 공정의 정해진 시간을 더욱 증가시킨다.

<23> 상기 반도체 얼라인먼트의 두번째 스텝은 상기 중심 칩 및 상기 반도체 기판 각각의 중심에 대한 위치 좌표를 보정하는 것이다. 상기 반도체 기판 내의 상기 중심 칩에 인접한 칩을 선정해서 상기 반도체 기판과 상기 반도체 정렬 장비 사이의 종/ 횡 방향으로 틀어진 위치 보정 값을 구한다. 상기 보정 값이 정해지면, 상기 반도체 기판의 외곽에 위치한 칩들에서 위치 좌표들을 구함과 아울러서 상기 위치 좌표들에 상기 보정값들을 더한다. 이로써, 상기 반도체 정렬 장비의 상기 척 상에 놓인 상기 반도체 기판내의 칩들 각각의 위치 좌표와 상기 반도체 기판의 중심의 위치 좌표가 결정되어진다. 이를 토대로, 상기 칩 얼라인먼트에서 구한 상기 중심 칩의 위치 좌표와 상기 반도체 기판의 중심의 위치 좌표를 비교하여 다시 위치에 대한 보정을 실시하고, 최종적인 반도체 정렬 장비가 인식하는 중심좌표와 일치시킨다. 상기 반도체 정렬 장비가 인식하는 중심은 상기 척의 중심이다.

<24> 상기 중심 칩과 상기 반도체 기판 각각의 중심에 대한 위치 좌표의 보정 단계(110) 후에, 상기 반도체 정렬 장치와 상기 반도체 기판 사이의 정렬은 종료되어서 상기 반도체 제조 공정 또는 상기 반도체 테스트 공정이 진행될 수 있도록 상기 척 상에 상기 반도체 기판이 준비된다.

<25> 또한, 도 1 에서와 동일한 순서를 갖는 도 2 의 단계들(120, 130, 140, 150, 160)을 수행한 후에 상기 반도체 기판 내의 상기 중심 칩 상에서 하나의 기준 패턴을 선정하여 상기 반도체 정렬 장비 내에 이미지와 위치 좌표를 저장함과 아울러서 상기 중심 칩과 상기 반도체 기판의 중심을 보정하는 단계(170)를 진행할 수도 있다. 그리고, 상기 반도체 기판내의 상기 레퍼런스 칩으로 이동하는 단계(180), 상기 칩 얼라인먼트를 진행하는 단계(190)를 다시 수행한다. 상기 칩 얼라인먼트의 단계(190)가 완료되면 상기 중심 칩 내에서 상기 기준 패턴에 이웃하는 다른 기준 패턴들을 더 선정하는 상기 반도체 기판 얼라인먼트의 단계(200)를 재 진행한다. 상기 단계(200)에서는 칩과 반도체 기판의 중심 보정을 하는 스텝은 진행하지 않는다. 왜냐하면, 전(前) 단계(170)에서 중심 보정이 완료된 상태이기 때문이다. 상기 기준 패턴들의 이미지들과 위치 좌표들은 상기 반도체 정렬 장비에 저장됨과 아울러서 상기 반도체 기판과 상기 반도체 정렬 장비 사이의 정렬은 모두 완료된다.

<26> 도 3 내지 도 4 는 본 발명의 실시예에 따른 반도체 기판의 칩 얼라인먼트를 설명해주는 반도체 기판 및 칩이다.

<27> 도 3 을 참조하면, 도 1 의 순서도에서 레퍼런스 칩(Reference Chip, 232) 이동 단계(102)후에, 반도체 정렬 장비(도면에 미 도시)의 체크기(Checker)는 반도체 기판의 중심 칩(234)의 상부에 위치한다. 상기 체크기는 정렬자(Alignment Ruler)와 이미지 센서(Image Sensor) 및 카메라(Camera)가 구비된 것이다. 상기 중심 칩(234)은 종/ 횡방향으로 주변에 다른 칩들(235, 235-1, 235-2, 235-3)로 둘러싸인다. 즉, 상기 칩들(234, 235, 235-1, 235-2, 235-3)은 동일한 피치(Pitch)로 상기 반도체 기판(230) 상에 형성된다. 상기 피치는 종/ 횡 방향으로의 칩 위쓰(Chip Width)와 스크라이브 라인(Scribe

Line, 232) 폭(Space)으로 결정된다. 상기 칩의 위쓰 및 상기 스크라이브 라인의 폭은 도 1 의 프리 얼라인(Pre-Align)에서 상기 반도체 정렬 장비에 입력되어 저장된다. 또한, 상기 반도체 기판(230) 내에 형성된 칩들의 총 개수도 상기 프리 얼라인에서 상기 반도체 정렬 장비에 입력 및 저장된다. 따라서, 반도체 기판(230)의 중심 칩(234)의 위치 좌표에 대한 체크는 상기 반도체 기판 내에 형성된 다른 칩들의 위치 좌표를 알 수 있는 척도가 된다. 왜냐하면, 상기 칩 위쓰와 상기 스크라이브 라인 폭으로 형성된 일정한 크기를 바탕으로 하여 상기 중심 칩(234)의 위치 좌표를 기준으로 하여 원하는 칩으로 이동할 수 있기 때문이다.

<28> 도 4 를 참조하면, 도 3 의 A 부분을 확대한 중심 칩(232) 주변에 형성된 키어들(Keys; 242, 244, 246, 248) 각각에 체크기(도면에 미 도시)의 정렬자(240)가 오버랩된다. 반도체 기판(230) 내에 형성된 중심 칩(234)뿐만 아니라 이웃한 칩들 각각은 메모리 기능을 하는 영역(250)들과 상기 영역들 각각에 데이터를 입력/ 또는 출력하는 배선(도면에 미 도시)들이 놓인 주변회로 영역(252)으로 분리된다. 또한, 상기 키어들(242, 244, 246, 248)은 상기 중심 칩(234) 주변인 스크라이브 라인(232) 내에서 공지된 기술인 포토 및 식각 공정을 통해서 형성된 것이다. 상기 정렬자(240)는 순서를 정하여 한 번에 한번씩 상기 키어들(242, 244, 246, 248)중에 선택된 하나에 오버랩된다. 이때에, 반도체 정렬 장비(도면에 미 도시)는 오버랩되는 정도의 수치를 정규분포로 나타내어 상기 중심 칩(234)의 중심과 상기 척(도면에 미 도시)의 중심이 일치하는 지를 확인한다. 확인은 정규분포의 3σ 의 수치가 상기 반도체 정렬 장비가 허용하는 수치 내/ 외의 범위를 기준으로 한다. 즉, 허용된 수치 이내이면 칩 얼라인먼트는 완료되는 것이고, 허용된

수치 이상이면 상기 반도체 정렬 장비가 허용하는 수치가 나올 때까지 상기 키어들 (242, 244, 246, 248)과 상기 정렬자를 계속해서 재 진행한다.

<29> 도 5 내지 도 7 은 본 발명의 실시예에 따른 기준 패턴 선정과정을 설명해주는 칩 및 기준 패턴들이다.

<30> 도 5 를 참조하면, 스크라이브 라인(232) 내의 키어들(242, 244, 246, 248) 각각과 체크기의 정렬자(240)가 오버랩되는 칩 얼라인먼트가 끝난 후에, 상기 체크기는 중심 칩 (234) 내에서 두 개 이상의 기준 패턴들(도면에 미 도시)을 선정해서 반도체 정렬 장비에 이미지들과 위치좌표들을 저장한다. 상기 기준 패턴들은 상기 중심 칩(234) 내에 공 지된 포토 및 식각 공정을 통하여 형성된 것들이다. 상기 기준 패턴들은 메모리 기능을 하는 영역(250)들 또는 주변회로 영역(252)에 형성된 패턴들을 이용할 수 있다. 그러나, 상기 체크기는 일반적으로 상기 메모리 기능을 하는 영역(250)대비 상기 주변회로 영역 (252)에서 보다 식별력이 우수한 상기 기준 패턴들을 찾을 수 있다. 식별력은 상기 체크 기의 상기 기준 패턴에 대한 해상도를 언급한다.

<31> 도 6 을 참조하면, 반도체 정렬 장비내(도면에 미 도시)의 체크기로 그림 5 의 B 부분을 확대함과 아울러서 상기 B 부분내의 선택된 패턴들(256, 258, 260)중에 하나의 패턴(256)을 포커싱(Focusing)한다. 상기 포커싱된 기준 패턴(256)의 외곽선의 일부분은 상기 체크기의 정렬자(264)의 중심에 정렬되어 선정된다. 그리고, 상기 기준 패턴(256)의 이미지와 위치 좌표를 상기 반도체 정렬 장비에 저장한다. 상기 기준 패턴(256)은 반 도체 제조 공정 전(前)에 식별력이 우수한 일반 패턴으로 지정할 수 있으며 또한, 상기 기준 패턴(256)은 반도체 테스트 공정 전(前)에 반도체 기판(230) 상에 폴리이미드 (Polyimide) 막의 존재 유무에 관계 없이 식별력이 우수한 패턴을 선정할 수 있다. 즉,

상기 기준 패턴(256)의 선정 대상은 이미지 해상도가 상기 체크기에 의해서 주기적으로 읽혀질 때에 일관성을 잃지 않는 것으로 채택하면 족하다.

<32> 도 7 을 참조하면, 그림 5 의 중심 칩(234) 내에서 B 부분과 이웃하는 C 또는 D 부분을 확대함과 아울러서 상기 C 또는 D 부분내의 선택된 패턴들(266, 268, 270, 272)중에 하나의 패턴(272)을 포커싱(Focus)한다. 상기 포커싱된 기준 패턴(272)의 외곽선의 일부분은 상기 체크기의 정렬자(264)의 중심에 정렬되어 선정된다. 상기 기준 패턴(272)의 이미지와 위치좌표를 상기 반도체 정렬 장비에 저장한다. 따라서, 도 6 과 도 7 의 과정을 반복하여 두 개 이상의 기준 패턴들(256, 272)을 상기 반도체 정렬 장비에 저장할 수 있다. 상기 반도체 정렬 장비에 저장된 상기 기준 패턴들(256, 272)은 반도체 제조 공정 또는 반도체 테스트 공정과 같은 반도체 공정에서 상기 반도체 정렬 장비와 반도체 기판(230) 사이의 얼라인 페일(Align Fail)의 발생 빈도수를 줄인다. 도 6 에서 형성된 기준 패턴(256)이 상기 반도체 공정중에 임의의 칩에서 얼라인 페일을 발생시키면, 테스터는 상기 임의의 칩에서 도 7 의 기준 패턴(272)을 이용하여 상기 반도체 공정을 계속 진행할 수 있게 해준다.

<33> 또한, 순서도를 이용하여 도 7 을 진행하지 않고 도 6 의 하나의 기준 패턴을 상기 반도체 정렬 장비에 저장할 수도 있다.

<34> 도 8 을 참조하면, 반도체 기판(230)을 이동하여 반도체 기판(230) 내의 중심 칩(234)에 인접한 칩(276) 상에 반도체 정렬 장비의 체크기를 위치시킨다. 상기 인접한 칩(276)의 중심의 위치 좌표를 구한다. 그리고, 상기 인접한 칩(276)의 중심의 위치 좌표와 상기 중심 칩(234)의 중심의 위치 좌표를 비교하여 상기 반도체 기판(230)이 회전 방향(Rotational Direction) 또는 종/ 횡 방향으로 틀어진 정도에 대한 보정 값을 구한다.

상기 보정 값은 상기 인접한 칩(276)의 중심의 위치 좌표에 더해져서 상기 반도체 기판(230)의 위치를 보정한다. 다음으로, 좌/ 우, 상/ 하 방향으로 상기 반도체 기판(230)을 이동시켜서 최외각의 칩(278, 280, 282, 284)들의 중심의 위치 좌표들을 구함과 아울러 상기 위치 좌표들 각각에 상기 보정 값을 더해서 상기 반도체 기판 얼라인먼트를 완료한다. 상기 반도체 기판 얼라인먼트가 완료되면, 상기 반도체 기판(230)은 반도체 제조 공정 또는 상기 반도체 테스트 공정이 진행될 준비가 완료된 상태이다.

<35> 상기 반도체 기판 얼라인먼트가 완료된 순서도 상에서, 도 6 의 하나의 기준 패턴(256)이 상기 반도체 정렬 장비에 저장된 경우에는 상기 중심 칩(234)과 상기 반도체 기판(230)에 도 2 의 순서도에서 언급된 단계들(180, 190, 200, 210)을 재 진행한다. 이를 통하여, 상기 하나의 기준 패턴에 이웃한 다른 기준 패턴들을 재 선정하여 상기 반도체 정렬 장비에 이미지들과 위치 좌표들을 저장한다.

【발명의 효과】

<36> 상술한 바와 같이, 상기 본 발명은 반도체 제조 공정 또는 반도체 테스트 공정 전(前)에, 반도체 정렬 장비와 반도체 기판 사이의 정렬을 위해서 중심 칩에서 두 개 이상의 기준 패턴들의 이미지들과 위치 좌표들을 이용하는 것이다. 이를 통해서, 상기 반도체 정렬 장비에 얼라인 폐일의 발생 빈도수를 줄임과 아울러서 반도체 공정을 통한 제조 또는 테스트 시간을 절감할 수 있다. 따라서, 본 발명은 상기 반도체 기판내에 형성된 칩들 각각의 제조 원가를 낮출 수 있게 해준다.

【특허청구범위】**【청구항 1】**

반도체 기판을 반도체 정렬 장비에 장착하고,

상기 반도체 정렬 장비를 이용하여 상기 반도체 기판 내의 중심 칩의 선정과 함께
상기 중심 칩의 위치 좌표를 확인하는 칩 얼라인먼트를 하고,

상기 반도체 정렬 장비를 이용하여 상기 반도체 기판을 움직여서 상기 반도체 기판
내에 위치한 소정 칩들의 위치 좌표들을 확인하는 반도체 기판 얼라인먼트를 진행하고,

상기 칩 얼라인먼트 및 상기 반도체 기판 얼라인먼트를 통해서 상기 반도체 정렬
장비와 상기 반도체 기판이 종/ 횡 방향으로 정렬되도록 하되, 상기 반도체 기판 얼라인
먼트 시에 상기 소정 칩들의 위치 좌표들과 아울러서 두 개 이상의 기준 패턴(Template)
들의 이미지들 및 위치좌표들이 상기 반도체 정렬 장비에 저장되는 것을 포함하는 얼라
인 방법.

【청구항 2】

제 1 항에 있어서,

상기 칩 얼라인먼트를 하는 것은,

상기 반도체 정렬 장비의 체크기를 이용하여 상기 반도체 기판의 중심 칩을 선정하
고,

상기 반도체 기판의 상기 중심 칩의 주변에 형성된 키이들에 상기 체크기의 정렬
자를 정렬하고,

상기 정렬자와 상기 얼라인 키들이 이루는 정렬 값들의 분포가 상기 반도체 정렬 장비가 허용하는 소정값 이하로 조절되도록 정렬하는 것을 포함한 얼라인 방법.

【청구항 3】

제 2 항에 있어서,

상기 중심 칩의 주변은 스크라이브 라인(SCRIBE LINE)을 지칭하는 것을 포함하는 얼라인 방법.

【청구항 4】

제 1 항에 있어서,

상기 반도체 기판 얼라인먼트를 하는 것은,

상기 반도체 정렬 장비의 체크기를 이용하여 상기 중심 칩 내의 상기 두 개 이상의 기준 패턴들을 선정함과 아울러서 상기 기준 패턴들의 이미지들 및 위치 좌표들을 상기 반도체 정렬 장비에 저장하고,

상기 체크기를 이용하여 상기 중심 칩에 인접한 칩을 선정함과 함께 상기 인접한 칩의 위치 좌표를 확인하여 상기 중심 칩과 상기 인접한 칩 사이의 위치관련 보정 값을 구하고,

상기 반도체 기판을 종/ 횡 방향으로 움직여서 상기 반도체 기판의 외곽에 위치한 복수 개의 칩들의 위치 좌표들을 확인하고,

상기 복수 개의 칩들의 위치 좌표들에 상기 보정 값을 더해 주는 것을 포함하는 얼라인 방법.

【청구항 5】

제 1 항에 있어서,

상기 기준 패턴들을 선정하는 것은,

상기 반도체 기판 얼라인먼트에서 상기 반도체 정렬 장비를 이용하여 상기 중심 칩 내의 두 개 이상의 상기 기준 패턴을 선정하는 것을 포함하는 얼라인 방법.

【청구항 6】

제 1 항에 있어서,

상기 기준 패턴들을 선정하는 것은,

상기 반도체 기판 얼라인먼트를 이용하여 상기 반도체 기판내에서 상기 중심 칩 내의 하나의 기준 패턴을 선정한 후에, 반도체 기판 얼라인먼트를 재 진행하여 상기 중심 칩내에서 상기 기준 패턴과 다른 기준 패턴들을 재 선정하는 것을 포함하는 얼라인 방법

【청구항 7】

제 6 항에 있어서,

상기 재 진행된 상기 반도체 기판 얼라인먼트에서는 상기 중심 칩의 중심과 상기 반도체 기판의 중심을 보정하지 않는 것을 포함하는 얼라인 방법.

【청구항 8】

제 1 항에 있어서,

상기 반도체 정렬 장비는 반도체 장치의 제조 공정에 있어서 상기 반도체 기판의 정렬에 이용되는 것을 포함하는 얼라인 방법.

【청구항 9】

제 1 항에 있어서,

상기 반도체 정렬 장비는 반도체 장치의 테스트 공정에 있어서 상기 반도체 기판의 정렬에 이용되는 것을 포함하는 얼라인 방법.

【청구항 10】

제 1 항에 있어서,

상기 기준 패턴들은 각각이, 상기 반도체 기판 얼라인 시에, 상기 반도체 기판을 정렬할 때에 이용되는 것을 포함하는 얼라인 방법.

【청구항 11】

제 1 항에 있어서,

상기 기준 패턴들은 얼라인 페일 시에 서로 보조로 이용되는 것을 포함하는 얼라인 방법.

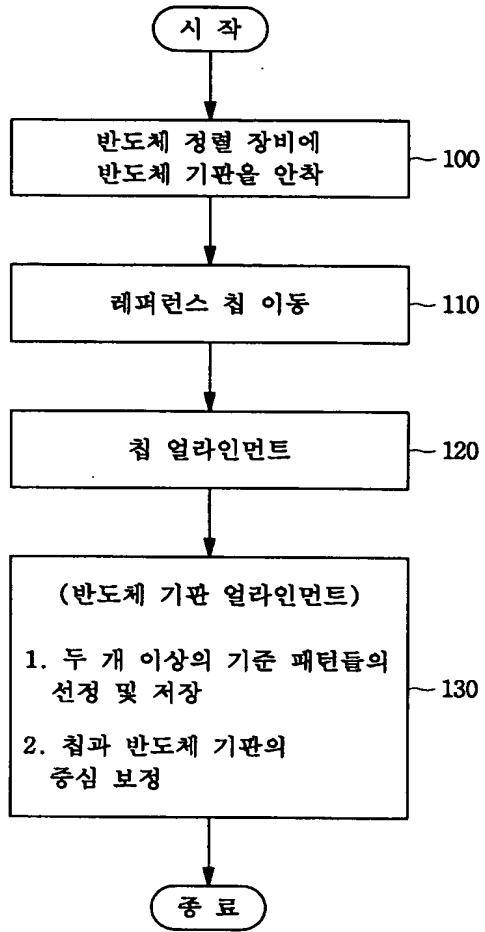
【청구항 12】

제 4 항에 있어서,

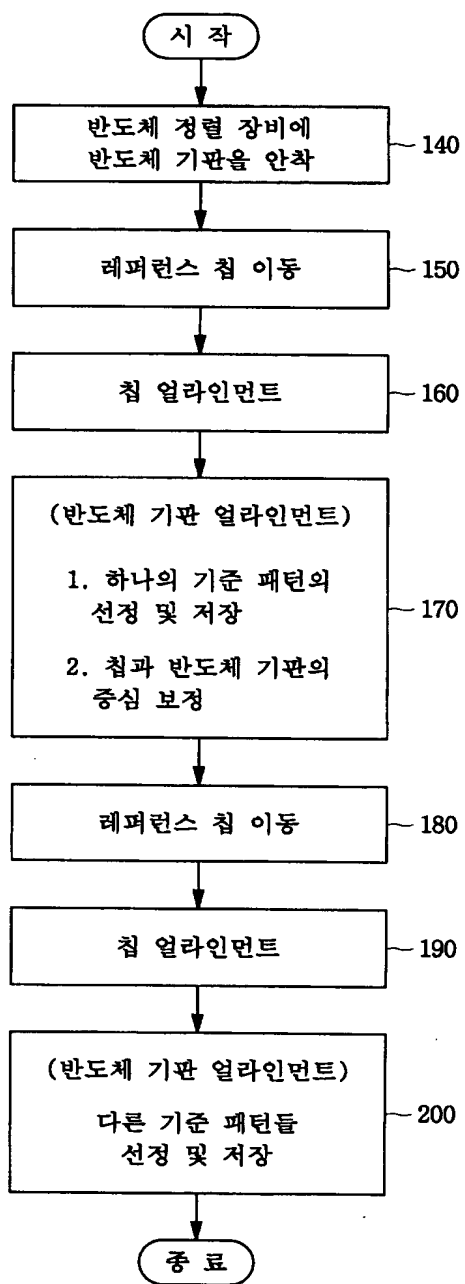
상기 보정 값은 상기 중심 칩의 위치좌표 대비 상기 인접한 칩의 위치좌표가 회전 방향(Rotational Direction)으로 틀어진 수치인 것을 포함하는 얼라인 방법.

【도면】

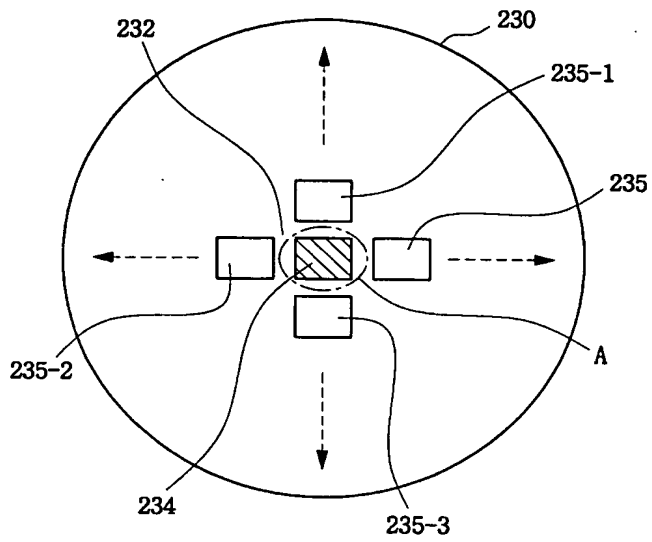
【도 1】



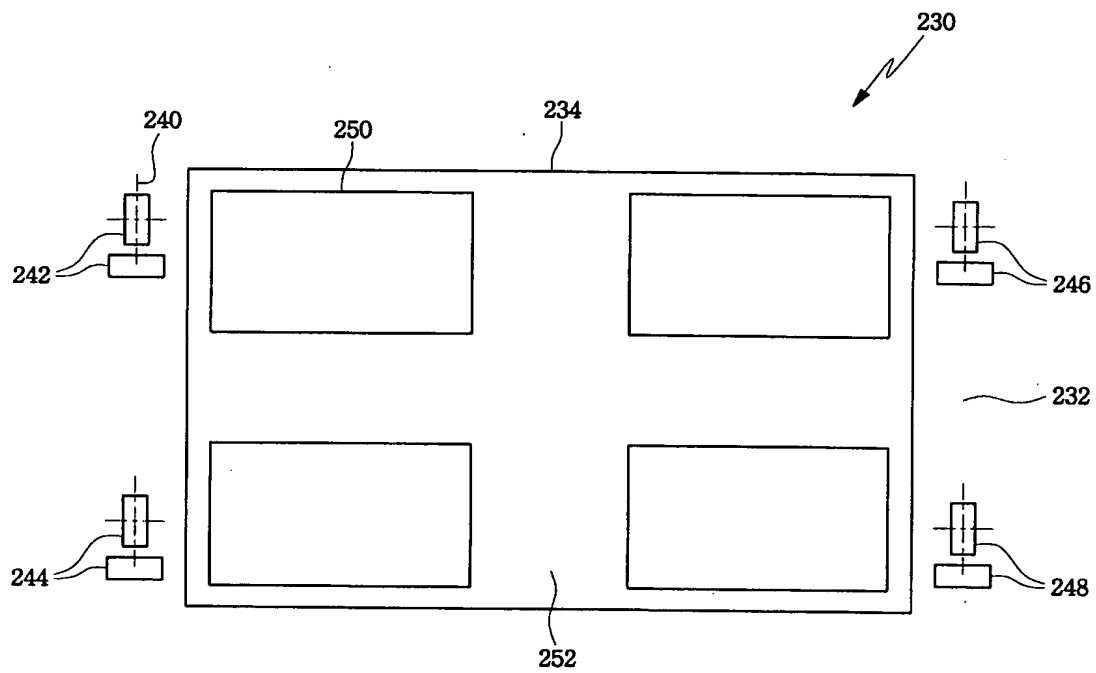
【도 2】



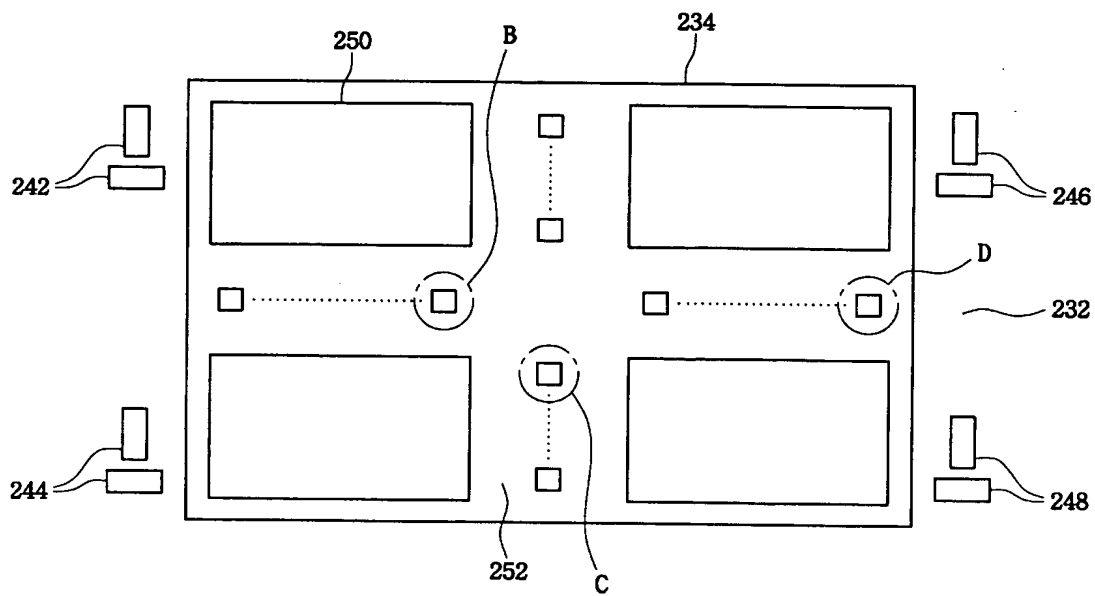
【도 3】



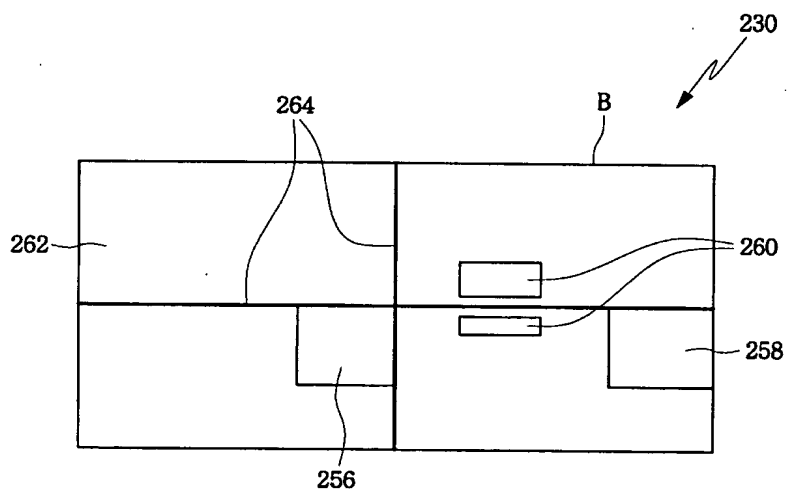
【도 4】



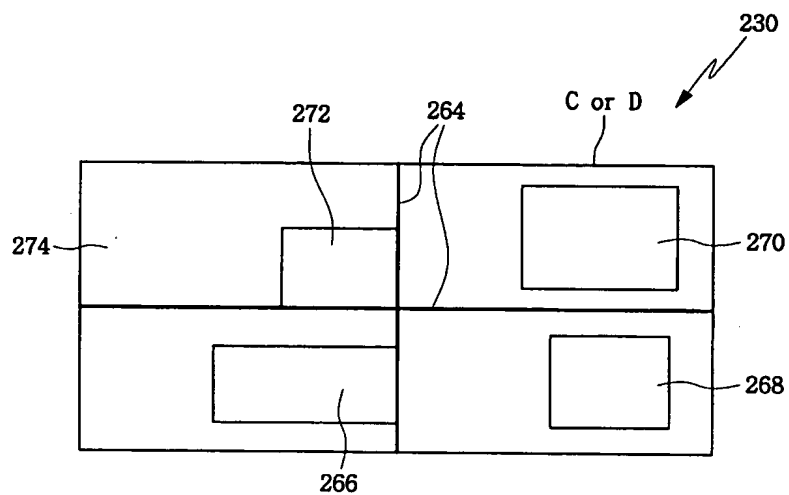
【도 5】



【도 6】



【도 7】



【도 8】

